

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 11-344952

(43) Date of publication of application : 14. 12. 1999

(51) Int. Cl. G09G 3/28

G09G 3/20

(21) Application number : 10-153059

(71) Applicant : FUJITSU LTD

(22) Date of filing : 02. 06. 1998

(72) Inventor : TAKAYAMA KUNIO

AWAMOTO KENJI

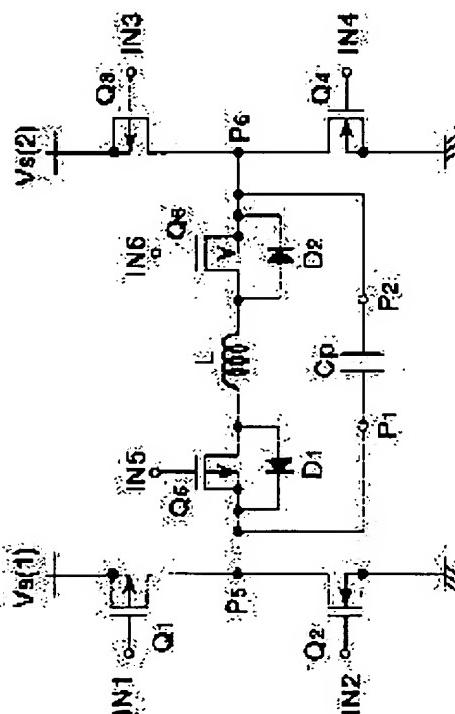
HASHIMOTO YASUNOBU

(54) DRIVING CIRCUIT FOR DISPLAY DEVICE

(57) Abstract:

PROBLEM TO BE SOLVED: To reduce reactive power by controlling respective switching elements of a maintenance circuit part.

SOLUTION: When timing control signals IN1, IN4 are applied to switching elements Q1, Q4 from a control circuit 1, a panel capacitance Cp is charged and a voltage to be applied between both ends (P1-P2) of the panel capacitance is fixed to Vs. After the switching elements Q1, Q4 are turned off, when a switching element Q5 is turned on, the panel capacitance Cp and a coil L form a resonance circuit and electric charge stored in the panel capacitance Cp flows out as a resonance current to recharge the panel capacitance Cp in a reverse polarity. After the switching element Q5 is turned off, when the switching elements Q2, Q3 are turned on, a voltage between the terminals of the panel capacitance Cp is fixed to a -Vs. After the switching elements Q2, Q3 are turned off, when the switching element Q6 is turned on, the resonance circuit is formed with the panel capacitance Cp and the coil L to recharge the panel capacitance Cp.



LEGAL STATUS

[Date of request for examination] 10. 02. 2005

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-344952

(43)公開日 平成11年(1999)12月14日

(51)Int.Cl.
G 0 9 G 3/28
3/20 6 2 1

P I
G 0 9 G 3/28
3/20 J
6 2 1 G

審査請求 未請求 請求項の数9 OL (全14頁)

(21)出願番号 特願平10-153059
(22)出願日 平成10年(1998)6月2日

(71)出願人 000005223
富士通株式会社
神奈川県川崎市中原区上小田中4丁目1番
1号
(72)発明者 高山 邦夫
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内
(72)発明者 萩本 健司
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内
(72)発明者 橋本 康宣
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内
(74)代理人 弁理士 野河 信太郎

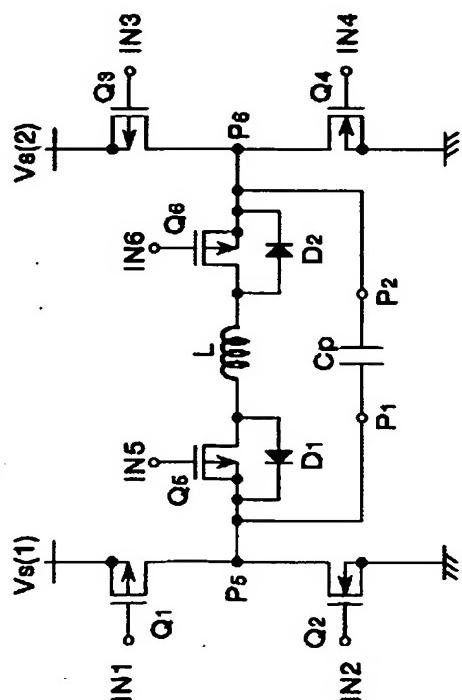
(54)【発明の名称】表示装置の駆動回路

(57)【要約】

【課題】この発明は、表示装置の駆動回路に関し、特に、発光に寄与しない無効電力を有効に再利用し、低消費電力化を図ることのできる駆動回路を提供することを課題とする。

【解決手段】制御電極と維持電極に電圧を交互に印加する維持回路部と、制御回路部とからなり、前記維持回路部が、一对の制御電極と維持電極との間に形成される電極間容量の両端に直列に接続された第1及び第2のスイッチング素子と、第1及び第2のスイッチング素子の間に直列に接続された共振コイルとからなる共振回路部と、電源ラインと接地ラインとの間に直列接続された2つのスイッチング素子からなる2組のスイッチング回路部とからなり、各スイッチング回路部のスイッチング素子間の接続点と、前記第1及び第2のスイッチング素子のコイルが接続されていない側の接続点とがそれぞれ接続されることを特徴とする。

この発明の第1実施例の維持放電パルス発生回路の構成図



1

2

【特許請求の範囲】

【請求項1】 制御電極と維持電極からなる一対の電極を複数個備えた表示装置の駆動回路であって、前記制御電極と維持電極に電圧を交互に印加する維持回路部と、制御回路部とからなり。

前記維持回路部が、一对の制御電極と維持電極との間に形成される電極間容量の両端に直列に接続された第1及び第2のスイッチング素子と、第1のスイッチング素子と第2のスイッチング素子の間に直列に接続された共振コイルとから構成される共振回路部と、電源ラインと接

地ラインとの間に直列接続された2つのスイッチング素子から構成される第1及び第2のスイッチング回路部とからなり、第1及び第2のスイッチング回路部のスイッチング素子間の接続点と、前記第1及び第2のスイッチング素子のコイルが接続されていない側の接続点とがそれぞれ接続され、前記制御回路部が、前記維持回路部の各スイッチング素子を制御することを特徴とする表示装置の駆動回路。

【請求項2】 前記第1及び第2のスイッチング素子それぞれに並列接続される第3及び第4のスイッチング素子をさらに備えたことを特徴とする請求項1記載の表示装置の駆動回路。

【請求項3】 前記第1、第2、第3及び第4のスイッチング素子それぞれにダイオードが直列接続され、このダイオードの向きが、電極間容量の端子へ向かう順方向の向きであることを特徴とする請求項2記載の表示装置の駆動回路。

【請求項4】 前記共振回路部の前記第1及び第2のスイッチング素子それぞれに直列に第1及び第2のダイオードを接続し、前記第1のスイッチング素子と共振コイルとの接続点と前記第2のスイッチング回路部のスイッチング素子間の接続点との間に、直列接続された第5のスイッチング素子と第3のダイオードを接続し、前記第2スイッチング素子と共振コイルとの接続点と前記第1のスイッチング回路部のスイッチング素子間の接続点との間に、直列接続された第6のスイッチング素子と第4のダイオードを接続し、さらに前記第1のダイオードと第2のダイオードの向きが等しく、前記第3のダイオードと第4のダイオードの向きが等しく、前記第1のダイオードと第3のダイオードの向きが異なることを特徴とする請求項1記載の表示装置の駆動回路。

【請求項5】 表示パネルと、前記請求項1、2、3または4に記載したいずれかの駆動回路とからなる表示装置であって、前記表示パネルが複数個の領域に分割され、前記駆動回路が、それぞれの分割領域内に存在する制御電極及び維持電極を分割領域ごとに別々に制御することを特徴とする表示装置。

【請求項6】 複数個の領域に分割された表示パネルと、表示パネルの制御電極及び維持電極を分割領域ごとにそれぞれ制御する複数の駆動回路と、1つのインダク

10

20

30

40

タ素子とからなり、

前記各駆動回路が、前記請求項3または請求項4記載の駆動回路の中に含まれる共振コイルを除いた構成を持ち、かつ各駆動回路に含まれる第1及び第2のスイッチング素子間の接続点に、共通的に前記インダクタ素子が直列接続されることを特徴とする表示装置。

【請求項7】 前記各駆動回路が制御電極及び維持電極を制御する際に、前記インダクタ素子を流れる共振電流のタイミングが互に異なることを特徴とする請求項6記載の表示装置。

【請求項8】 同数の制御電極と維持電極とが交互に平行配置される表示パネルと、表示パネルの一方の側面に引き出された所定数の前記制御電極からなる第1の制御電極群と所定数の前記維持電極からなる第1の維持電極群とが接続された第1の制御部と、表示パネルの他方の側面に引き出された所定数の前記制御電極からなる第2の制御電極群と所定数の前記維持電極からなる第2の維持電極群とが接続された第2の制御部とから構成され、前記第1の制御部が、前記第1の制御電極群に属する制御電極のそれぞれに選択電圧を加える第1走査部と、前記第1の維持電極群に属する維持電極に維持出力電圧を加える第1駆動部とからなり、前記第2の制御部が、前記第2の制御電極群に属する制御電極のそれぞれに選択電圧を加える第2走査部と、前記第2の維持電極群に属する維持電極に維持出力電圧を加える第2駆動部とからなり、前記第1及び第2駆動部が前記請求項1、2、3または4に記載したいずれかの駆動回路からなることを特徴とする表示装置。

【請求項9】 前記第1の走査部に接続された第1の制御電極群が奇数番目の制御電極であり、前記第1の駆動部に接続された第1の維持電極群が偶数番目の維持電極であり、前記第2の走査部に接続された第2の制御電極群が偶数番目の制御電極であり、前記第2の駆動部に接続された第2の維持電極群が奇数番目の維持電極であり、前記第1の制御電極群に加えられる選択電圧は前記第1駆動部から第1走査部に与えられたものであり、前記第2の制御電極群に加えられる選択電圧は前記第2駆動部から第2走査部に与えられたものであることを特徴とする請求項8記載の表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、表示装置の駆動回路に関し、特に、プラズマディスプレイパネルにおいて、表示発光に寄与しない無効電力を低減した表示装置の駆動回路に関する。

【0002】

【従来の技術】AC型のプラズマディスプレイパネル(以下、PDPと呼ぶ)は、壁電荷を利用して点灯状態を維持するために主電極を誘電体で被覆した構造のPDPである。このPDPではマトリクス状に並んだ各セル

50

3

を選択的に発光させるが、平行配置される2本の主電極(X電極、Y電極)と、主電極と交差する方向に延びたアドレス電極(A電極)とからなる3電極面放電構造を有する。表示を行う場合には、A電極とY電極に順次スキャンパルスを印加し、発光すべきセルのみが帶電した状態を形成し、その後、すべてのセルに対して、X電極とY電極に交互に維持放電パルスを印加する。

【0003】図12に、従来のPDPの構成図を示す。ここで、PDPは、主として実際に表示を行うパネル部100と駆動回路部110の2つから構成される。パネル部100には、平行配置された2種類のパネル電極であるX電極101、Y電極102、これらの電極と直交する方向に配置されたA電極103とが形成されている。

【0004】駆動回路部110は、Y電極102を制御するY側ドライバ111と、X電極を制御するX側ドライバ112、A電極を制御するA側ドライバ113、これらのドライバを制御する制御回路114とから構成される。

【0005】Y側ドライバは各Y電極ごとに駆動電圧を印加するためのスキャンドライバ115、全てのY電極に一齊に維持放電パルスを印加するための共通ドライバ116からなる。X側ドライバ112は、Y側ドライバ111の共通ドライバ116と同じ回路構成の共通ドライバ117からなる。

【0006】このような構成を持つ従来のPDPでは、まず、スキャンドライバ115によってY電極に順次スキャンパルスを印加すると同時に、A電極103に表示データに基づいて点灯させるべきセルに対してアドレスパルスを印加し、アドレス放電を行わせて発光させたいセルに壁電荷を蓄積させる。次に、X電極101とY電極102とに交互に維持放電パルスを印加すると、壁電荷の蓄積されたセルのみが、維持放電を持続し発光する。

【0007】ところで、このようなPDPのX電極101とY電極102との間には、容量性負荷が形成されているので、維持放電パルスを印加することにより、電極間容量の充放電が起こる。ここで、維持放電パルスの立ち上がり時に電源から供給されるエネルギーWは、次式で表わされる。

$$W = C_p V_s^2 \quad \dots \dots (1)$$

V_s は電源電圧、 C_p はパネル容量である。このエネルギーWは、PDPの放電及び発光には、寄与しないものである。したがって、維持放電パルスの1周期に対して、Wだけ無効電力を消費するので、実駆動時の無効電力Pは、駆動周波数をfとすると、次式で表わされる。

$$P = C_p V_s^2 f \quad \dots \dots (2)$$

【0008】PDPの駆動回路において、消費電力を低減するために、このような無効電力Pを効率よく再利用することが必要となる。そこで、PDPの駆動回路の

4

消費電力を低減させる技術が、たとえば特開昭63-101897号公報、特開平8-152865号公報に開示されている。

【0009】図13に、従来のPDPの駆動回路の共通ドライバ(116、117)の内部に設けられる維持放電パルス発生回路を示す。ここで、符号P2で代表されるX電極と、符号P1で代表されるY電極との間にパネル容量 C_p が存在する。図13では、パネル容量 C_p に対して、直列にコイルL(インダクタンスL)を設けて、この C_p とLにより共振回路を形成している。

【0010】Y電極に維持放電パルスを印加するため、維持放電パルスの立ち上がりによるパネル容量 C_p の充電をする場合には、まず、Q3をONにして電荷回収用コンデンサーC1から電力を供給した後、Q1をONにして出力パルス電圧を V_s にクランプする。次に、出力パルス立ち下がりのパネル容量 C_p 放電時には、Q4をONにしてパネル容量 C_p からの放電電流を電荷回収用コンデンサーC1に回収した後、Q2をONにして出力パルス電圧を接地電圧にクランプする。X電極に維持放電パルスを印加する時も、同様な動作を行う。以上の一連の動作制御を行うことにより、パネル容量 C_p の充放電に伴う無効電力を回収、再利用し、電源 V_s から供給する電力を削減する。

【0011】ここで、維持放電パルス1周期での電力損失 P_T および共振周波数によって決まる維持放電パルスの立ち上がり時間 t_r について考える。共振回路が作動している場合には、スイッチング素子Q3およびゲイオードD1のON抵抗とパネル電極(X電極、Y電極)までの配線抵抗およびパネル電極の抵抗成分の和を直列抵抗Rで表すことができる。従って、維持放電パルス1周期での電極損失 P_T は、次式で表わされる。

【数1】

$$P_T = \frac{\pi R}{4} \sqrt{\frac{C_p}{L}} C_p V_s^2 \quad \dots \dots (3)$$

ここで、Rが小さくしが大きいほど損失 P_T が少なくなる。

【0012】また、維持放電パルスの立ち上がり時間 t_r は、次式で表わされる。

【数2】

$$t_r = \pi \sqrt{LC_p} \quad \dots \dots (4)$$

これによれば、立ち上がりの急峻な維持放電パルスを得るには、Rが小さいほうが良い。また、上記(4)式および(3)式を考慮すると、 $C_p << L$ が望ましい。

【0013】次に、図14に、特開平8-152865号公報に記載された従来のPDPの構成図を示す。ここでは、図12と異なり、X電極及びY電極を駆動する共通ドライバが一つで構成される。図15に、図14の共通ドライバに設けられる維持放電パルス発生回路を示

す。

【0014】図15は、共振回路を用いて、パネル容量C_pの充放電に伴う無効電力を再利用するという点で、図13のものと原理的に等価である。ただし、パネル容量C_pの放電時に発生する共振電流を回収用コンデンサC₁には回収せずに、コイルLとパネル容量C_pの並列共振回路で直接パネル容量C_pを逆極性に再充電する、という構成をもつ点で、図13のものと異なる。

【0015】図15において、スイッチQ₁～Q₄はパネル容量C_pの端子電圧を電源電圧（-V_s）および電源電圧の逆極性（V_s）にクランプするためのスイッチである。一方、Q₅およびQ₆は、パネル容量C_pとインダクタンスLの共振回路ループを形成するためのスイッチであり、D₁およびD₂は逆方向電流阻止用のダイオードである。また、インダクタンスLに並列接続されている抵抗Rは、波形の振動を防止するために設けられたダンピング抵抗である。

【0016】

【発明が解決しようとする課題】ところで、PDPが大画面になればなるほど、パネル容量C_pは大きくなる。パネル容量C_pが大きくなると、前記した(3)式によれば、電力損失P₁が大きくなり、(4)式によれば、維持放電パルスの立ち上がり時間t_rが大きくなる。ここで、この立ち上がり時間t_rが大きくなつた場合、立ち上がりの途中で弱放電が起り、パネルの表示品質が劣化することが知られている。

【0017】一方、前記した図13の維持放電パルス発生回路では、電荷回収用コンデンサC₁は、大容量、高耐圧かつ高周波の充放電電流を流せる能力が必要とされるので、高価な電解コンデンサ等が用いられる。また、電源投入時には、電荷回収用コンデンサC₁の蓄積電荷は0であり充電に時間がかかる。したがって、この充電のために、電圧V_s/2を供給する別系統の外部電源を設ける必要がある。さらに、この外部電源は、X側共通ドライバ用とY側共通ドライバ用の2つ必要であり、共振用コイルLも2つ必要となる。

【0018】他方、図15の維持放電パルス発生回路では、振動防止用ダンピング抵抗Rが存在し、前記した式(3)の中のRに加算されるため、消費電力の損失となる。また、図15においては、X電極とY電極を1つの共通ドライバで共通駆動する構成であるため、実駆動時には、回路配線が長くなる。したがって配線抵抗が大きくなるので、消費電力の損失が増大する。また、回路配線が長いため、維持放電パルスの伝搬特性が劣化し、パネルに表示される画像に雑音が生じる。これと同時に、輻射雑音が発生するため、周辺機器の動作にも影響を与えるおそれがある。

【0019】以上のような問題点は、PDPが大画面になればなるほど、著しく現れる。また、図15において、出力端子P₁及びP₂から、維持放電パルス発生回路

を見ると、その回路素子の構成が非対称であり、X電極に加えられる維持放電パルス波形と、Y電極に加えられる維持放電パルス波形が異なるので、PDPの放電品質及び表示品質が悪化する。

【0020】この発明は、以上のような事情を考慮してなされたものであり、大画面の表示装置であっても、表示品質を下げることなく、無効電力を低減させ、少ない部品数で省電力化を図ることのできる表示装置の駆動回路を提供することを課題とする。

【0021】

【課題を解決するための手段】この発明は、制御電極と維持電極からなる一対の電極を複数個備えた表示装置の駆動回路であって、前記制御電極と維持電極に電圧を交互に印加する維持回路部と、制御回路部とからなり、前記維持回路部が、一対の制御電極と維持電極との間に形成される電極間容量の両端に直列に接続された第1及び第2のスイッチング素子と、第1のスイッチング素子と第2のスイッチング素子の間に直列に接続された共振コイルとから構成される共振回路部と、電源ラインと接地

20 ラインとの間に直列接続された2つのスイッチング素子から構成される第1及び第2のスイッチング回路部とかなり、第1及び第2のスイッチング回路部のスイッチング素子間の接続点と、前記第1及び第2のスイッチング素子のコイルが接続されていない側の接続点とがそれぞれ接続され、前記制御回路部が、前記維持回路部の各スイッチング素子を制御することを特徴とする表示装置の駆動回路を提供するものである。

【0022】

【発明の実施の形態】この発明の駆動回路が適用される表示装置は、主として、PDPを対象とするが、これに限定されるものではない。制御電極とは従来のPDPにおけるY電極に相当する電極であり、維持電極とはX電極に相当する電極である。また、維持回路部は、PDPの選択されたセルの放電を維持するためのパルス電圧を生成する「維持放電パルス発生回路」に相当する。制御回路部は、PDPの制御電極、維持電極及びアドレス電極(A電極)に加えるパルス電圧の出力タイミングを制御する複数のスイッチング素子をオン又はオフするタイミング制御信号を生成する部分である。

40 【0023】また、前記第1及び第2のスイッチング素子それぞれに並列接続される第3及び第4のスイッチング素子をさらに備えたことを特徴とする駆動回路を提供するものである。さらに、前記第1、第2、第3及び第4のスイッチング素子それぞれにダイオードが直列接続され、このダイオードの向きが、電極間容量の端子へ向かう順方向の向きであることを特徴とする駆動回路を提供するものである。

【0024】また、この発明は、前記共振回路部の前記第1及び第2のスイッチング素子それぞれに直列に第1及び第2のダイオードを接続し、前記第1のスイッチ

グ素子と共に接続された第2のスイッチング回路部のスイッチング素子間の接続点との間に、直列接続された第5のスイッチング素子と第3のダイオードを接続し、前記第2スイッチング素子と共に接続された第1のスイッチング回路部のスイッチング素子間の接続点との間に、直列接続された第6のスイッチング素子と第4のダイオードを接続し、さらに前記第1のダイオードと第2のダイオードの向きが等しく、前記第3のダイオードと第4のダイオードの向きが等しく、前記第1のダイオードと第3のダイオードの向きが異なることを特徴とする駆動回路を提供するものである。

【0025】また、この発明は、表示装置に係るものであり、表示パネルと、前記したような構成のいずれかを持つ駆動回路とからなる表示装置であって、前記表示パネルが複数個の領域に分割され、前記駆動回路が、それぞれの分割領域内に存在する制御電極及び維持電極を分割領域ごとに別々に制御することを特徴とする表示装置を提供するものである。

【0026】さらに、複数個の領域に分割された表示パネルと、表示パネルの制御電極及び維持電極を分割領域ごとにそれぞれ制御する複数の駆動回路と、1つのインダクタ素子とからなり、前記各駆動回路が、前記したような第3または第4の構成を持つ駆動回路の中に含まれる第1及び第2のスイッチング素子間の接続点に、共通的に前記インダクタ素子が直列接続されることを特徴とする表示装置を提供するものである。ここで、前記各駆動回路が、制御電極及び維持電極を制御する際に前記インダクタ素子を流れる共振電流のタイミングが互いに異なってもよい。

【0027】この発明は、同数の制御電極と維持電極とが交互に平行配置される表示パネルと、表示パネルの一方の側面に引き出された所定数の前記制御電極からなる第1の制御電極群と所定数の前記維持電極からなる第1の維持電極群とが接続された第1の制御部と、表示パネルの他方の側面に引き出された所定数の前記制御電極からなる第2の制御電極群と所定数の前記維持電極からなる第2の維持電極群とが接続された第2の制御部とから構成され、前記第1の制御部が、前記第1の制御電極群に属する制御電極のそれぞれに選択電圧を加える第1走査部と、前記第1の維持電極群に属する維持電極に維持出力電圧を加える第1駆動部とからなり、前記第2の制御部が、前記第2の制御電極群に属する制御電極のそれに選択電圧を加える第2走査部と、前記第2の維持電極群に属する維持電極に維持出力電圧を加える第2駆動部とからなり、前記第1及び第2駆動部が前記したいずれかの駆動回路からなることを特徴とする表示装置である。

【0028】また、この発明の表示装置において、前記第1の走査部に接続された第1の制御電極群が奇数番目

の制御電極であり、前記第1の駆動部に接続された第1の維持電極群が偶数番目の維持電極であり、前記第2の走査部に接続された第2の制御電極群が偶数番目の制御電極であり、前記第2の駆動部に接続された第2の維持電極群が奇数番目の維持電極であり、前記第1の制御電極群に加えられる選択電圧は前記第1駆動部から第1走査部に与えられたものであり、前記第2の制御電極群に加えられる選択電圧は前記第2駆動部から第2走査部に与えられたものとしてもよい。

10 【0029】

【実施例】図1に、この発明の実施例におけるPDPの構成図を示す。図1において、この発明のPDPは、パネル2と、パネルの駆動回路とから構成される。パネル2自体は、従来のものと同様に、互いに平行に配置された制御電極(Y電極10)と維持電極(電極11)とかなる一対の主電極と、これらの電極に垂直な方向に延びたアドレス電極(A電極9)とかなり、主電極とアドレス電極の交差部分がいわゆる画素となる。

【0030】パネルの駆動回路は、Y電極の制御を行うスキャンドライバ7、X電極及びY電極に交互に電圧をかけて放電の維持を行わせる維持放電パルス発生回路8、表示アドレスを選択するA電極を駆動するA側ドライバ6、及びスキャンドライバ7、維持放電パルス発生回路8、A側ドライバ6をそれぞれ制御する制御回路1とから構成される。

【0031】制御回路1は、スキャンドライバ7を制御するスキャンドライバ制御部3、A側ドライバ6を制御する表示データ制御部4、維持放電パルス発生回路8を制御するパルス制御部5とから構成される。パルス制御部5から維持放電パルス発生回路8に対して、タイミング制御信号(IN1～IN6)が出力される。このタイミング制御信号(IN1～IN6)は、後述する維持放電パルス発生回路8に含まれるスイッチング素子のオン、オフを制御する信号である。このような構成を持つこの発明のPDPにおいて、特に維持放電パルス発生回路8の内部構成及び制御方法に特徴を有する。以下、維持放電パルス発生回路8の内部構成の実施例について説明する。

【0032】第1実施例

図2に、この発明の第1実施例の維持放電パルス発生回路の構成図を示す。この回路は、図1に示した維持放電パルス発生回路8に対応するものであり、図14に示した従来のPDPの共通ドライバ117にも適用できる。図2において、図15に示した従来の回路と同様に、X電極及びY電極を電源電圧V_sあるいは接地電圧にクランプするためのスイッチング素子Q₁、Q₂、Q₃及びQ₄を設ける。スイッチング素子Q₁とQ₂とが電源電圧V_sと接地電圧との間に直列接続され、スイッチング素子Q₃とQ₄とが電源電圧V_sと接地電圧との間に直列接続される。スイッチング素子Q₁、Q₂、Q₃及びQ₄は、スイ

ッティング回路部を構成する。

【0033】この発明の第1実施例では、図2に示すような、コイルL、スイッチング素子Q₅及びQ₆で構成される共振回路部を備える点を特徴とする。図2では、共振回路部にダイオードD₁及びD₂を含んでいるが、このダイオードは必ずしも必要ではない。この共振回路部は、X電極とY電極間に蓄積された電極間容量（パネル容量C_p）を放電する際に発生する電流を共振させるためのものである。

【0034】図2に示すように、スイッチング素子Q₅、Q₆とコイルLとは直列接続され、スイッチング素子Q₅とQ₆のそれぞれの一端がパネル容量C_pの両端に接続される。コイルLは、スイッチング素子Q₅とQ₆の間に配置される。また、スイッチング素子Q₅の他の一端は、スイッチング素子Q₁及びQ₂の接続点P₅と接続され、スイッチング素子Q₆の他の一端はスイッチング素子Q₃及びQ₄の接続点P₆と接続される。ダイオードD₁は接続点P₅の方向へ向き、ダイオードD₂は接続点P₆の方向へ向いている。図2のIN1からIN6は、各スイッチング素子のオン／オフを制御するためのタイミング制御信号の入力端子であり、これらの端子は、制御回路1に接続される。

【0035】スイッチング素子Q₁からQ₆は、通常MOSFETを用いるが、これに限るものではなく他のタイプのFETやトランジスタを用いてもよい。また、スイッチング素子Q₅及びQ₆に並列接続されるダイオードD₁及びD₂は、放電電流の逆流防止用に設けられるものであるが、スイッチング素子Q₅及びQ₆が持つリカバリーダイオードが利用できる場合には不要である。

【0036】次に、図2に示したこの発明の維持放電バルス発生回路の制御動作について説明する。図4に、各スイッチング素子に対するタイミング制御信号（IN1～IN6）と、X電極及びY電極（図2のP₁、P₂）に出力される信号のタイムチャートを示す。初期状態において、すべてのスイッチング素子Q₁～Q₆がオフ状態にあるとする。また、図2において、スイッチング素子Q₁、Q₂に放電電流を供給する電源をV_s（1）とし、スイッチング素子Q₃、Q₄に放電電流を供給する電源をV_s（2）とする。供給する電源電圧の値は、いずれもV_sとする。

【0037】まず、制御回路1からタイミング制御信号IN1、IN4がそれぞれスイッチング素子Q₁、Q₄に与えられ、スイッチング素子Q₁、Q₄をオン状態にする。ここでIN1は“L”論理信号であり、Lowレベルでスイッチング素子がオンになるものとする。また、IN4は“H”論理信号であり、Highレベルでスイッチング素子がオンになるものとする。

【0038】スイッチング素子Q₁とQ₄がオンになると、パネル容量C_pが充電され、このパネル容量の両端（P₁～P₂間）にかかる電圧はV_sに固定される。すな

わち、パネル容量C_pの端子P₁にかかる出力1が+V_sとなる。これによって、A電極によって選択されていたセル内に放電が起こり、放電電流が流れる。この放電電流は、電源V_s（1）から供給されたものである。

【0039】次に、スイッチング素子Q₁及びQ₄をオフとした後、タイミング制御信号IN5をLowとしてスイッチング素子Q₅をオンにする。Q₅をオンにすることにより、パネル容量C_pとコイルLとが共振回路を形成し、パネル容量C_pに蓄積されていた電荷が共振電流として流れ出し、この後、コイルLを介してパネル容量C_pが逆極性に再充電される。すなわち、端子P₂にかかる出力2の電圧値が正の方向に増加する。

【0040】次に、Q₅をオフにした後、タイミング制御信号IN2及びIN3によってスイッチング素子Q₂及びQ₃をオンにすると、パネル容量C_pの端子間（P₁～P₂）電圧が-V_sに固定される。すなわち、パネル容量C_pの端子P₂にかかる出力2が+V_sとなる。このときの放電電流は、電源V_s（2）から供給されたものである。次に、Q₂及びQ₃をオフにした後、スイッチング素子Q₆をオンにする。これにより、前記したようにパネル容量C_pとコイルLによって共振回路が形成され、パネル容量C_pが再充電される。

【0041】このように、この発明では、共振回路を構成するスイッチング素子Q₅及びQ₆を用いてパネル容量の再充電をしているので、この再充電のための供給電力を削減でき、パネル表示に必要な消費電力を低減できる。また、この実施例では、共振用のコイルLは1つ設ければよいので、X側共通ドライバとY側共通ドライバを別々に備える場合に比べて、部品点数の削減ができる。

【0042】さらに、パネル容量の端子P₁、P₂から見ると、この維持放電バルス発生回路の素子構成は左右対称であり、かつX電極とY電極に加えられる維持放電バルス波形（出力1及び出力2）は正負交互に対称となる。したがってPDPの放電品質、表示品質が長期間維持できる。

【0043】また、図2の実施例では、制御信号IN5、IN6の“Low”レベルの時間を、回路素子で決まる共振周期に等しくなるよう調節すると、電流の振動を防止できるので、従来の図15のようなダンピング抵抗Rが不要となる。図2のスイッチング素子Q₁～Q₆のオン抵抗の和は最大で3Ω程度であり、回路配線の抵抗及び電極抵抗はパネルサイズと配線長に依存するが、3Ω程度である。一方、従来のダンピング抵抗Rは、一般的に、十数Ωから数十Ω程度である。したがって、この発明の第1実施例では、ダンピング抵抗Rが不要となるために、前記（3）式に示した電力損失を4割以下に抑えることができ、低消費電力化を図ることができる。

【0044】第2実施例

50 図3に、この発明の第2実施例の維持放電バルス発生回

11

路の構成図を示す。図3において、図2のダイオードD₁, D₂の代わりに、スイッチング素子Q₇及びQ₈がそれぞれスイッチング素子Q₅及びQ₆と並列に設けられる点が、図2と異なる。また、スイッチング素子Q₇, Q₈はそれぞれタイミング制御信号IN7, IN8によってオン, オフの制御がされるものとする。すなわち、コイルLの一方の端子は、スイッチング素子Q₅及びQ₇に接続され、コイルLの他方の端子はスイッチング素子Q₆及びQ₈に接続される。

【0045】図5に、図3の第2実施例のタイミング制御信号(IN1～IN8)と出力信号(出力1, 出力2)のタイムチャートを示す。図5において、IN1からIN6のオン及びオフのタイミングは、図4と同じである。図5においては、スイッチング素子Q₅と同じタイミングで、IN8によりスイッチング素子Q₈をオンし、スイッチング素子Q₆と同じタイミングで、IN7によりスイッチング素子Q₇をオンする。スイッチング素子Q₈, Q₇のオフについても同様である。このようなスイッチング制御により、図4と同じような共振回路を形成し、パネル容量C_pの再充電を行う。この第2実施例では、図5に示すように、図4と同じような出力が得られるため、第1実施例と同様に、放電品質及び表示品質の維持等の効果を奏する。

【0046】さらに、第2実施例では、スイッチング素子Q₅, Q₆, Q₇及びQ₈をオン・オフするタイミングを調整することによって、維持放電パルス波形(出力1及び出力2)の立ち上がり時間を短縮できる。たとえば、Q₅をオンにするタイミングを、Q₈をオンにするタイミングよりもわずかに(たとえば、0.1μsec)前とし、さらにQ₆をオンにするタイミングを、Q₇をオンにするタイミングよりもわずかに(たとえば、0.1μsec)前とすれば、維持放電パルス波形(出力1及び出力2)の立ち上がりが速くなる。これは、あらかじめコイルLに逆起電力を貯えておくことにより、共振電流の伝搬時間が短縮されるからである。

【0047】ダイオード及びスイッチング素子をオンにする瞬間には、これらの素子は等価的に容量で表わされるので、スイッチング時間は有限な値となる。ダイオード及びスイッチング素子のスイッチング時間が等しければ、スイッチングのタイミングを調整することによって、立ち上がり時間を最高で1/2に短縮できる。また、この立ち上がり時間が1/2になると、電力損失も1/2になることが知られている。このように維持放電パルス波形の立ち上がりが速くなると、維持放電パルス立ち上がり途中で発生していた弱放電が低減できるので、PDPの表示品質の劣化を防止できる。

【0048】第3実施例

図6に、この発明の第3実施例の維持放電パルス発生回路の構成図を示す。図6において、スイッチング素子Q₅からQ₈のそれぞれに対して、直列に逆電流阻止用ダイ

12

オードD₁からD₄を設ける点が、図3と異なる。ここで、ダイオードD₁, D₄は、接続点P₅からパネル容量端子P₂への順方向の向きに接続され、ダイオードD₂, D₃は、接続点P₆からパネル容量端子P₁への順方向の向きに接続される。この図6の構成においても、図5と同様なタイミングの維持放電パルスを発生することができ、第2実施例と同様の効果を奏することができる。

【0049】第4実施例

図7に、この発明の第4実施例の維持放電パルス発生回路の構成図を示す。図7において、コイルLの一方の端子P₃がスイッチング素子Q₅とQ₆に共通の接続点と接続され、コイルLの他方の端子P₄が、スイッチング素子Q₇とQ₈に共通の接続点と接続される点が図6と異なる。また、この図7の維持放電パルス発生回路では共振回路の経路も図6と異なるが、図5と同様なタイミングでタイミング制御信号を制御することで、第2実施例と同様の効果を奏することができる。

【0050】第5実施例

図8に、前記した図1のPDPの構成とは異なるこの発

- 20 明のPDPの構成図を示す。前記したPDPでは、X電極とY電極とを1つの共通ドライバで制御する構成について示したが、図8では、表示パネルの左右両側に、各セルに対応するX電極とY電極を分離して構成し、かつ表示パネルの左右両側にそれぞれ独立した維持放電パルス発生回路及びスキャンドライバを設ける。スキャンドライバ(7a, 7b)は、前記した第1走査部、第2走査部に相当し、維持放電パルス発生回路(8a, 8b)は第1駆動部、第2駆動部に相当する。維持放電パルス発生回路には、前記した第1実施例から第4実施例に示した回路のうちいづれかを用いることができる。

- 【0051】図8において、パネル2の左側にY電極15を制御するスキャンドライバ7aと、維持放電パルス発生回路8aを設ける。維持放電パルス発生回路8aのパネル容量に接続される端子のうち一方の端子P₁₂はスキャンドライバ7aと接続され、さらにそれぞれのY電極15(Y₁, Y₃, ...)と接続される。また、他方の端子P₂₂はパネル左側のX電極17(X₂, X₄, ...)と接続される。

- 【0052】同様に、パネル2の右側には、Y電極16を制御するスキャンドライバ7bと、維持放電パルス発生回路8bを設け、維持放電パルス発生回路8bの端子P₁₁はスキャンドライバ7b及びY電極16(Y₂, Y₄, ...)に接続され、端子P₂₁はパネル右側のX電極18(X₁, X₃, ...)と接続される。

- 【0053】図8の構成では、あるセルに対応するX電極とY電極は、互いにパネルの異なる方向から延びている。たとえば、パネル2の左方向から延びたY電極(Y₁, Y₃)に対しては、パネル2の右方向から延びたX電極(X₁, X₃)とが対応する。

- 【0054】このような構成を採用することにより、從

13

来のような共通ドライバを用いた場合にパネルの左右間に長く引きまわされていた配線をなくすことができる。したがって、X電極及びY電極を制御する配線長を短くできるので、配線抵抗が小さくなり、共振電流の減衰を低減できると共に、PDP全体としての消費電力を削減できる。

【0055】第6実施例

ここでは、この発明の維持放電パルス発生回路を利用して、PDPパネルを分割駆動する実施例を示す。図9に、パネル分割駆動をする場合のPDPの構成図を示す。ここで、パネル2を4つのブロック (C_{p1} , C_{p2} , C_{p3} , C_{p4}) に分割して表示させる場合の実施例を示しているが、これに限定するものでなく、分割数は任意の自然数でよい。

【0056】図9において、分割したパネルブロック (C_{p1} , C_{p2} , C_{p3} , C_{p4}) ごとに、この発明の維持放電パルス発生回路 (81, 82, 83, 84) を接続する。各維持放電パルス発生回路は、前記した第1実施例から第4実施例のうちいずれかを用いることができる。各維持放電パルス発生回路 (81, 82, 83, 84) は、図1に示したものと同様に、対応する各パネル領域のX電極及びY電極に接続され、制御回路1中のパルス制御部5からのタイミング制御信号によって図4又は図5に示したようなタイミングでそれぞれ制御される。なお、図9においては、説明のためにパネル内のA電極及びA側ドライバ、制御回路内の表示データ制御部を省略しているが、図1に示したものと同様に備える必要がある。

【0057】ところで、図9において、均等に4分割した各ブロックのパネル容量 (C_{p1} ~ C_{p4}) は、それぞれパネル容量全体の1/4となる。前記した式(3)において、直列抵抗Rの値が一定であるとすると、各ブロックのパネル容量がそれぞれ1/4となるので、各ブロックの電力損失は、それぞれ1/2となる。すなわち、図9のように、PDPパネルを4つに分割して駆動させた場合は、パネル2の全体としても、電力損失は1/2に低減することができる。

【0058】したがって、PDPパネルを分割駆動させた場合は、分割数に応じて維持放電パルス発生回路が必要となるが、パネル全体の消費電力を低減させることができる。

【0059】第7実施例

ここでは、第6実施例のようにPDPパネルを分割駆動する場合に、各維持放電パルス発生回路に含まれるコイルLを共通利用する場合の構成を示す。すなわち、ただ一つのコイルLを維持放電パルス発生回路の外部に設け、各維持放電パルス発生回路内部には共振用のコイルLは設けない構成の実施例を示す。

【0060】図10に、この発明の第7実施例のPDPの構成図を示す。ここで、維持放電パルス発生回路9

14

1, 92, 93, 94は、図6又は図7の端子P₃とP₄間に接続されたコイルLを除いて、第3実施例又は第4実施例で示したもの用いる。

- 【0061】図10において、コイルLはただ一つだけ設けられ、コイルLの一方の端子は各維持放電パルス発生回路 (91, 92, 93, 94) の端子P₃に接続され、コイルLの他方の端子は、各コイルLの他方の端子は、各維持放電パルス発生回路 (91, 92, 93, 94) の端子P₄に接続される。パネル2、スキャンドライバ7、制御回路1などは、図9と同様である。なお、図10も4分割駆動の場合の構成を示しているが、分割数はこれに限るものではない。

- 【0062】ところで、各維持放電パルス発生回路 (91, 92, 93, 94) は、対応する分割ブロックの放電を維持するために共通化したコイルLを用いる。コイルLは1つしかないため、維持放電パルス発生回路すべてが同じタイミングでコイルLを利用することはできないが、各分割ブロックのX, Y電極に加える出力信号のタイミングをずらすこと、1つのコイルLを共通利用することが可能となる。

- 【0063】図11に、この発明の第7実施例の構成における各信号のタイムチャートを示す。ここで、X₁, X₂, X₃, X₄は、各維持放電パルス発生回路の端子P₂から出力され、各分割ブロックのパネルのX電極に加えられる出力信号の波形を示し、Y₁, Y₂, Y₃, Y₄は、各維持放電パルス発生回路の端子P₁から出力され、スキャンドライバ7に与えられる出力信号の波形を示す。また、V_Lは、共通化されたコイルLに加えられるコイル電圧波形である。図11において、信号Y₁、信号X₁は、それ図4及び図5の出力1、出力2に対応するものであり、交互に正電圧V_sのパルス信号が加えられている。

- 【0064】前記したように、図2、図6等のスイッチング素子Q₅をオンとしたとき、コイルLを介してパネル容量C_pを再充電するための共振電流V_Lが流れるが、スイッチング素子Q₅をオンするタイミングは、図11においては、信号Y₁の立ち下がり、信号X₁の立ち上がりのタイミングに相当する。すなわち、このタイミングで、コイルLに図11に示すようなV_{L1}の波形の信号が流れる。

- 【0065】言い換れば、信号X₁と信号Y₁によって制御される分割ブロックの維持放電の制御をする際に、コイルLを利用するのには、このV_{L1}のタイミングだけであり、他の分割ブロックの維持放電の制御をするタイミング（たとえばV_{L2}, V_{L3}, V_{L4}等の出力時）には、コイルLに信号を流さない。

- 【0066】図11においては、各維持放電パルス発生回路から出力される信号Y₁, Y₂, Y₃, Y₄の出力タイミング及び信号X₁, X₂, X₃, X₄の出力タイミングを一定間隔でずらしている。このようにタイミングをずら

15

すことで、各維持放電パルス発生回路から出力される信号 X_2 、 Y_2 によって発生されるコイル電圧 V_{L2} 、信号 X_3 、 Y_3 によって発生されるコイル電圧 V_{L3} 、信号 X_4 、 Y_4 によって発生されるコイル電圧 V_{L4} は異なるタイミングで出力される。すなわち、各維持放電パルス発生回路がコイルLを利用するタイミングが重なることがない。

【0067】したがって、図10のように構成したPDPの分割駆動を行う場合には、コイルLの数を減らせるので、図9の場合に比べて、より少ない部品点数でPDPの駆動回路を構成することができる。さらに、各維持放電パルス発生回路によってコイルLに加えられるコイル電圧 V_L のタイミングが分散し、コイルLにかかる電圧値が低くおさえられるので、雑音輻射を低減させることができる。

【0068】なお、第5実施例のように、各分割ブロックごとに、表示パネルの左右に維持放電パルス発生回路を別々に設けて左右独立に共振回路を構成してもよい。この場合には、さらに配線長が短くなることによる効果が得られる。

【0069】

【発明の効果】この発明によれば、表示パネルの容量を充放電する場合に発生する、発光に寄与しない無効電力を有効に再利用することができ、かつ少ない部品点数で、表示パネルの消費電力を低減できる。また、この発明によれば、主電極に加えられる維持放電パルス信号の立ち上がり時間を速くすることができるので、表示パネルの表示品質の劣化を防止できる。

【0070】さらに、スキャンドライバと表示パネルの駆動回路を表示パネルの左右両側にそれぞれ独立に配置して、表示パネルの左側に延伸された維持電極と制御電極は左側の駆動回路及びスキャンドライバに接続され表示パネルの右側に延伸された維持電極と制御電極は右側の駆動回路及びスキャンドライバに接続されているので、表示パネルの左右間を結ぶ配線をなくし、配線長を短くすることができ、配線抵抗の減少、共振電流の低減及び消費電力の抑制が可能となる。

【0071】また、この発明の駆動回路が共振回路部を複数個備えて表示パネルを分割駆動する場合には、表示パネルの容量値を下げることができるので、より低消費電力化が可能となる。さらに、共振回路部の共振コイルを共有化し、かつ分割駆動するタイミングを分散させることにより、部品点数の削減と雑音輻射の低減ができる。

【図面の簡単な説明】

16

【図1】この発明の実施例のPDPの構成図である。

【図2】この発明の第1実施例の維持放電パルス発生回路の構成図である。

【図3】この発明の第2実施例の維持放電パルス発生回路の構成図である。

【図4】この発明の第1実施例のタイミング制御信号のタイムチャートである。

【図5】この発明の第2実施例のタイミング制御信号のタイムチャートである。

10 【図6】この発明の第3実施例の維持放電パルス発生回路の構成図である。

【図7】この発明の第4実施例の維持放電パルス発生回路の構成図である。

【図8】この発明の第5実施例におけるPDPの構成図である。

【図9】この発明の第6実施例において、パネル分割駆動をする場合のPDPの構成図である。

【図10】この発明の第7実施例において、パネル分割駆動をする場合のPDPの構成図である。

20 【図11】この発明の第7実施例におけるタイミング制御信号のタイムチャートである。

【図12】従来のPDPの構成図である。

【図13】従来の維持放電パルス発生回路の構成図である。

【図14】従来のPDPの構成図である。

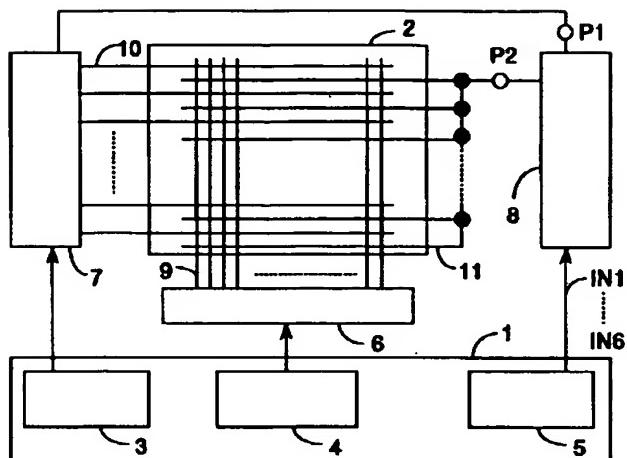
【図15】図14のPDPに備えられた維持放電パルス発生回路の構成図である。

【符号の説明】

- 1 制御回路
- 2 パネル
- 3 スキャンドライバ制御部
- 4 表示データ制御部
- 5 パルス制御部
- 6 A側ドライバ
- 7 スキャンドライバ
- 8 維持放電パルス発生回路
- 9 A電極
- 10 Y電極
- 11 X電極
- 40 Q1, ……Q8 スイッチング素子
- D1, ……D4 ダイオード
- L コイル
- Cp パネル容量
- I N1, ……I N8 タイミング制御信号
- Vs 電源電圧

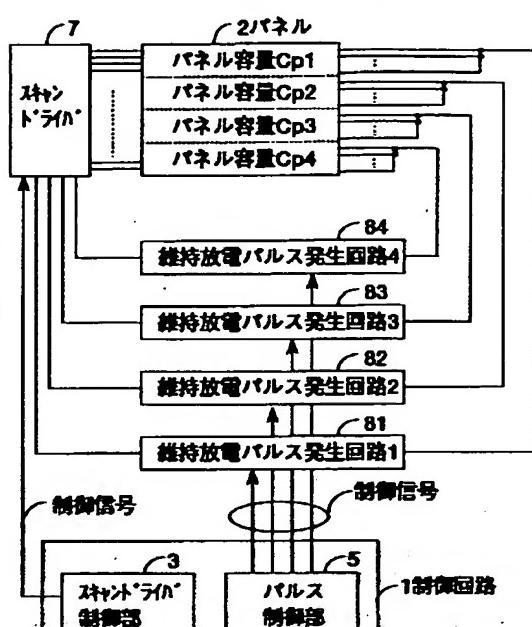
【図1】

この発明の実施例のPDPの構成図



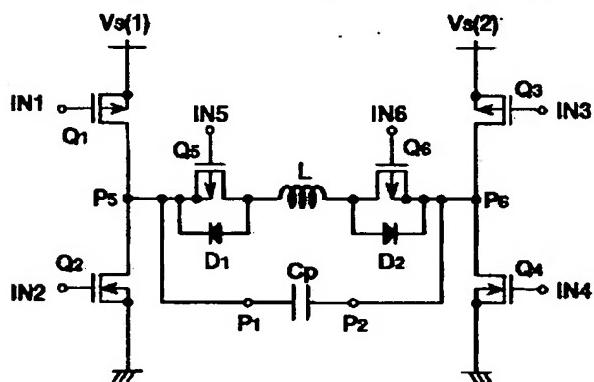
【図9】

この発明の第6実施例において、パネル分割駆動をする場合のPDPの構成図



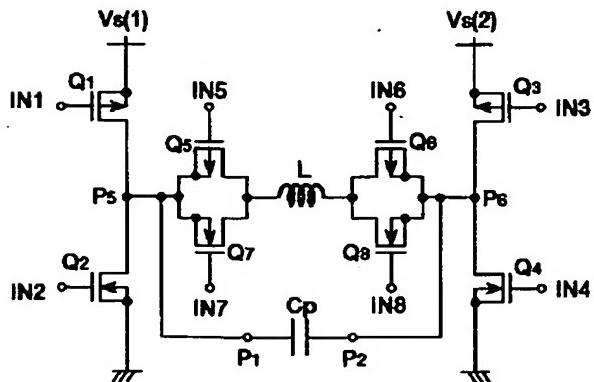
【図2】

この発明の第1実施例の維持放電パルス発生回路の構成図



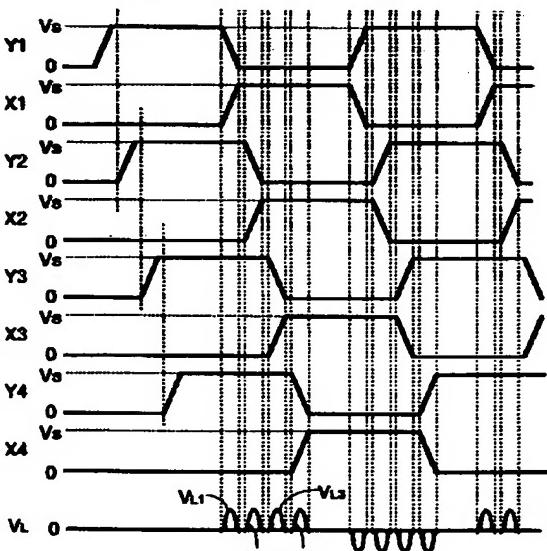
【図3】

この発明の第2実施例の維持放電パルス発生回路の構成図



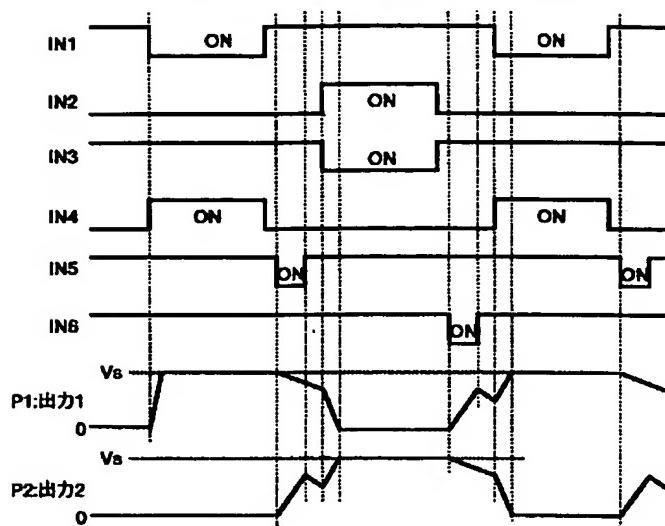
【図11】

この発明の第7実施例のタイミング制御信号のタイミング



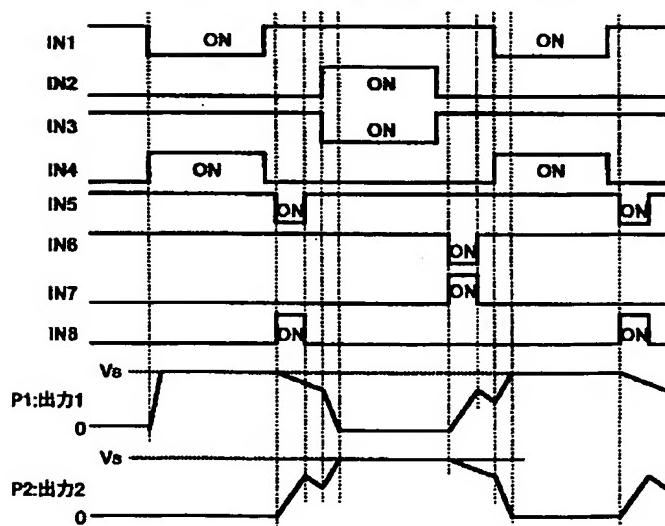
【図4】

この発明の第1実施例のタイミング制御信号のタイミング



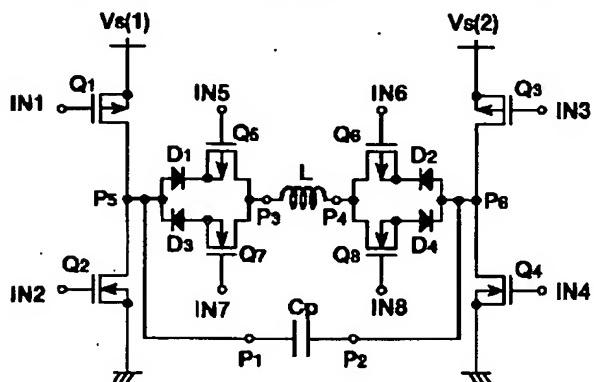
【図5】

この発明の第2実施例のタイミング制御信号のタイミング



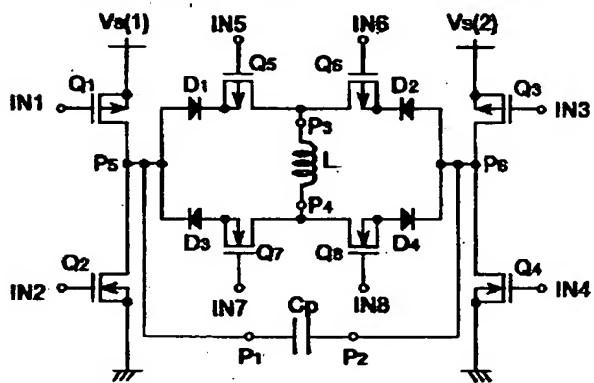
【図6】

この発明の第3実施例の維持放電パルス発生回路の構成図



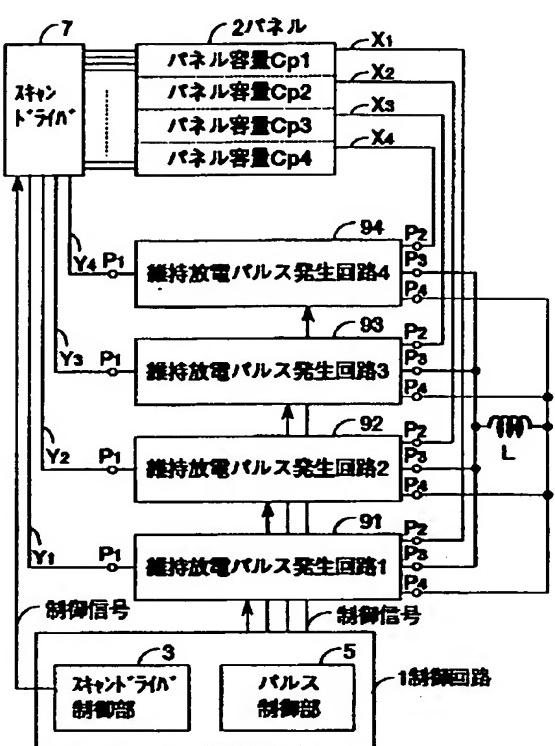
【図7】

この発明の第4実施例の維持放電パルス発生回路の構成図



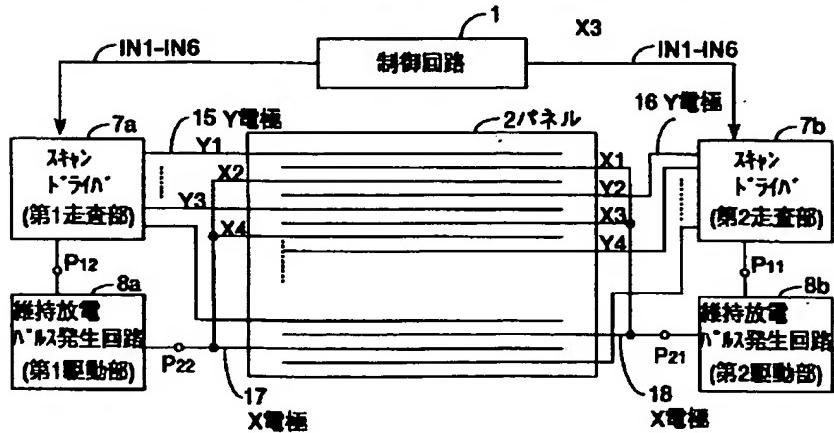
【図10】

この発明の第7実施例において、パネル分割駆動をする場合のPDPの構成図



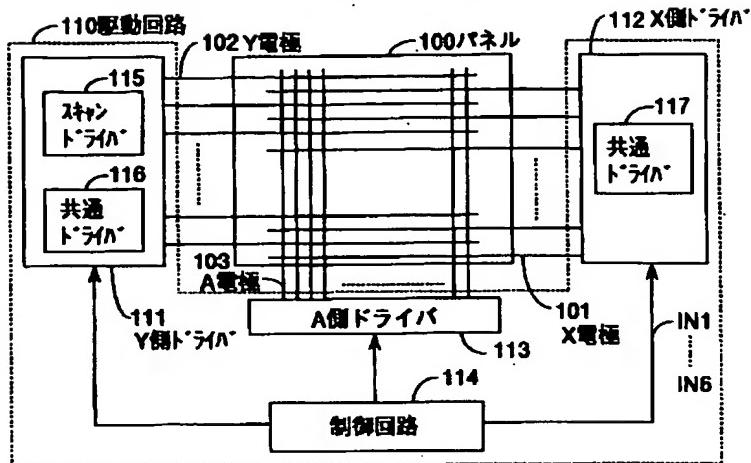
【図8】

この発明の第5実施例の維持放電パルス発生回路の構成図

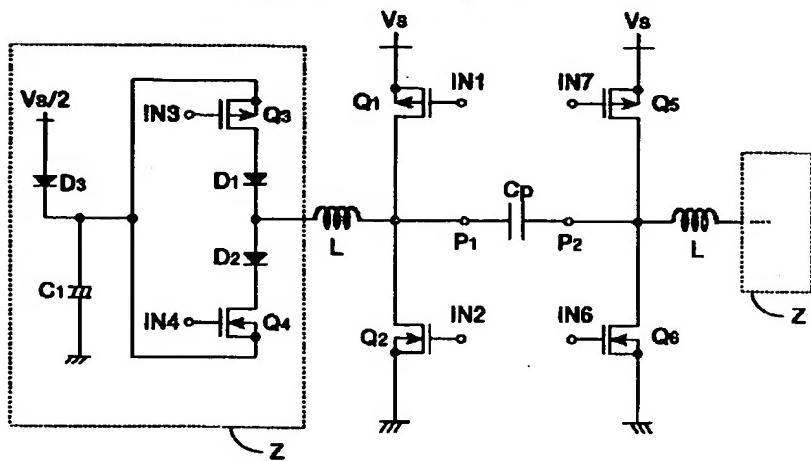


【図12】

従来のPDPの構成図

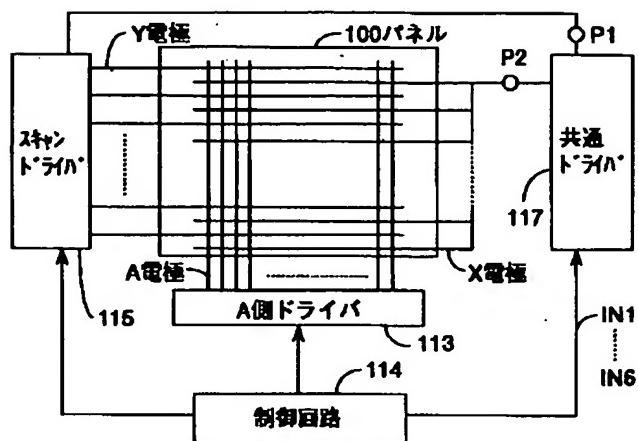


【図13】

従来のPDPに備えられた
維持放電パルス発生回路の構成図

【図14】

従来のPDPの構成図



【図15】

従来のPDPに備えられた
維持放電パルス発生回路の構成図